

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-231795  
(43)Date of publication of application : 22.08.2000

(51)Int.Cl.

G11C 29/00  
G11C 11/413

(21)Application number : 11-030378

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 08.02.1999

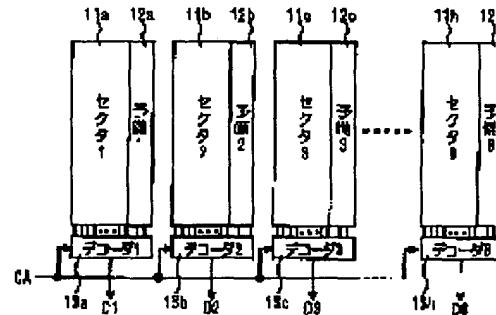
(72)Inventor : WATANABE MAKOTO  
HASHIMOTO KUNIO  
ITAGAKI TOSHIHIRO

## (54) SEMICONDUCTOR MEMORY

### (57)Abstract:

PROBLEM TO BE SOLVED: To improve a relief rate of defective parts.

SOLUTION: Spare sectors 12a-12h in which spare memory cell columns are arranged respectively are arranged corresponding to sectors 11a-11h in which plural memory cell columns are arranged in parallel. Decoders 13a-13h are connected to the sectors 11a-11h and the spare sectors 12a-12h respectively, and a specific memory cell column in the sectors 11a-11h is specified responding to column address information CA. At the time, memory cell columns in the sectors 11a-11h are replaced by spare memory cells in the spare sectors 12a-12h responding to replacement information held in decoders 11a-11h.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-231795

(P2000-231795A)

(43)公開日 平成12年8月22日(2000.8.22)

(51)Int.Cl.<sup>7</sup>

G 1 1 C 29/00  
11/413

識別記号

6 0 3

F I

G 1 1 C 29/00  
11/34

テマコト<sup>®</sup>(参考)

6 0 3 F 5 B 0 1 5  
3 4 1 C 5 L 1 0 6

審査請求 未請求 請求項の数4 OL (全5頁)

(21)出願番号 特願平11-30378

(22)出願日 平成11年2月8日(1999.2.8)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 渡邊 誠

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 橋本 邦生

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

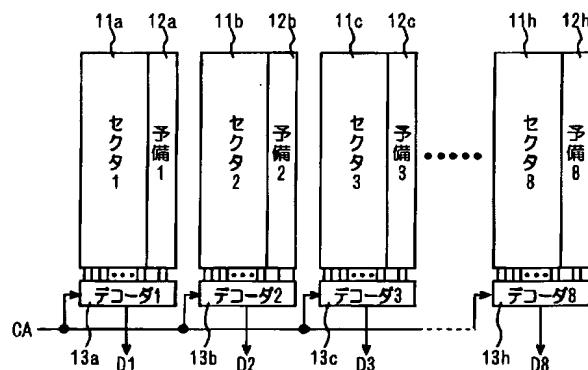
最終頁に続く

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【課題】 不良箇所の救済率を高くる。

【解決手段】 複数のメモリセル列が並列に配置されるセクタ11a～11hに対応して、それぞれ予備メモリセル列が配置される予備セクタ12a～12hを配置する。デコーダ13a～13hをセクタ11a～11h及び予備セクタ12a～12hにそれぞれ接続し、カラムアドレス情報CAに応答してセクタ11a～11h内の特定のメモリセル列を指定する。このとき、デコーダ11a～11hに保持された置換情報に応答して、セクタ11a～11h内のメモリセル列が予備セクタ12a～12h内の予備メモリセルに置き換えられる。



## 【特許請求の範囲】

【請求項1】 複数のメモリセルを1列に配置したメモリセル列が所定ビット数のカラムアドレス情報によって指定可能な列数だけ並列に配置されたセクタと、上記メモリセルと同一の構造を有する複数の予備メモリセルを1列に配置した予備メモリセル列が少なくとも2列並列に配置された予備セクタと、上記セクタの各メモリセル列及び上記予備セクタの予備メモリセル列にそれぞれ接続され、カラムアドレス情報に応答して上記セクタ内の複数のメモリセル列から1列を選択すると共に、選択されたメモリセル列を置換情報に応答して上記予備セクタ内の予備メモリセル列に置き換えるデコーダと、を備えたことを特徴とする半導体メモリ装置。

【請求項2】 上記デコーダは、上記セクタの各メモリセル列にそれぞれ接続される複数の第1のスイッチと、上記予備セクタの各予備メモリセル列にそれぞれ接続される複数の第2のスイッチと、上記複数の第1のスイッチに共通に接続される第3のスイッチと、カラムアドレス情報に応答して上記複数の第1のスイッチの1つを選択的にオンするカラム選択回路と、上記複数の第2のスイッチに対してそれぞれ独立に設けられ、上記カラムアドレス情報が置換情報に一致したときに対応する上記第2のスイッチをオンする複数の第1の置換制御回路と、上記複数の第2のスイッチの1つがオンしたときに上記第3のスイッチをオフする第2の置換制御回路と、を含むことを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 上記第1の制御回路は、複数のヒューズ素子を含み、置換情報に応答して上記複数のヒューズ素子を選択的に切断することを特徴とする請求項2に記載の半導体メモリ装置。

【請求項4】 上記第1の制御回路は、複数の不揮発性メモリ素子を含み、置換情報を上記複数の不揮発性メモリ素子に記憶することを特徴とする請求項2に記載の半導体メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、不良箇所を救済する冗長機能を有する半導体メモリ装置に関する。

## 【0002】

【従来の技術】 図3は、半導体メモリ装置の概略的な構成を示す平面図である。

【0003】 メモリセルは、ビット線に沿って所定の数行に1列に配置され、メモリセル列を形成する。このメモリセル列は、複数本が並列に配置されてセクタ1を形成する。このセクタ1は、例えば、8ビットのデータを記録できるように、第1～第8のセクタ1a～1hとして設けられる。予備メモリセルは、メモリセルと同一の構造を有し、予備ビット線に沿って、メモリセル列のメモリセルと同じ数だけ1列に配置されて予備メモリセル

列を形成する。この予備メモリセル列は、少なくとも2本が並列に配置されて予備セクタ2を構成する。第1～第8のセクタ1a～1h及び予備セクタ2は、それぞれ並列に配置され、各行毎にワード線が共通に接続される。

【0004】 デコーダ3は、セクタ1の各ビット線に接続され、カラムアドレス情報CAに応答して複数のビット線の内の1つを選択し、後述するマルチプレクサ4に接続する。このデコーダ3は、第1～第8のセクタ1a～1hに対応して、第1～第8のデコーダ3a～3hとして設けられ、それぞれマルチプレクサ4に接続される。マルチプレクサ4は、予備セクタ2及び第1～第8のデコーダ3a～3hに接続され、第1～第8のデコーダ3a～3hの各出力の何れかを置換情報に応答して置き換え、8ビットのデータD1～D8として出力する。即ち、マルチプレクサ4は、第1～第8のセクタ1a～1h内で不良箇所を含むメモリセル列のアドレス情報を置換情報として保持し、カラムアドレス情報CAがその置換情報に一致したとき、不良箇所を含むメモリセル列からの出力を予備セクタの予備メモリセル列からの出力に置き換えるように構成される。

【0005】 このような半導体メモリ装置においては、各セクタ1a～1h内に不良箇所が生じたとしても、その数が予備メモリセル列の数より少なければ、不良箇所を指定する置換アドレスをマルチプレクサ4に設定することで、その不良箇所が救済される。

## 【0006】

【発明が解決しようとする課題】 大容量化に伴ってメモリセルの数が多くなると、不良箇所の発生率も高くなるため、不良箇所救済用の予備メモリセルも多くの数必要になる。しかしながら、予備メモリセル（予備メモリセル列）の数が多くなると、その分の面積が大きくなると共に、マルチプレクサ4の回路構成が複雑になり、回路規模の拡大に伴うチップ面積の増大も生じる。

【0007】 そこで本発明は、不良箇所の救済率を向上しながら、チップ面積の増大を抑制することを目的とする。

## 【0008】

【課題を解決するための手段】 本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、複数のメモリセルを1列に配置したメモリセル列が所定ビット数のカラムアドレス情報によって指定可能な列数だけ並列に配置されたセクタと、上記メモリセルと同一の構造を有する複数の予備メモリセルを1列に配置した予備メモリセル列が少なくとも2列並列に配置された予備セクタと、上記セクタの各メモリセル列及び上記予備セクタの予備メモリセル列にそれぞれ接続され、カラムアドレス情報に応答して上記セクタ内の複数のメモリセル列から1列を選択すると共に、選択されたメモリセル列を置換情報に応答して上記予備セクタ内の予備メ

モリセル列に置き換えるデコーダと、を備えたことにある。

【0009】本発明によれば、セクタ毎に予備メモリセル列を配置すると共に、セクタ内のメモリセル列を選択するデコーダに置換情報を保持し、メモリセル列を予備メモリセル列に置き換えられるようにしたことで、デコーダで選択された後にデータの置換を行う必要がなくなる。セクタ内でのデータの置換では、置換情報がカラムアドレス情報と同等の量となるため、予備メモリセル列が多くなった場合でも回路規模の増大を抑制できる。

#### 【0010】

【発明の実施の形態】図1は、本発明の半導体メモリ装置の第1の実施形態を示す平面図である。この図においては、図3と同様に、8ビットのデータを記憶できるように構成している。

【0011】メモリセルは、ビット線に沿って所定の数毎に1列に配置され、メモリセル列を形成し、メモリセル列は、複数本が並列に配置されてセクタ11を形成する。このセクタ11自体は、図3に示すセクタ1と同一の構成であり、8ビットのデータに対応して、第1～第8のセクタ11a～11hとして設けられる。予備メモリセルは、メモリセルと同一の構造を有し、予備ビット線に沿って、メモリセル列のメモリセルと同じ数だけ1列に配置されて予備メモリセル列を形成し、予備メモリセル列は、少なくとも2本が並列に配置されて予備セクタ2を構成する。この予備セクタ11は、第1～第8のセクタ11a～11hのそれぞれに対応して、第1～第8の予備セクタ12a～12hとして設けられる。そして、第1～第8のセクタ11a～11h及び第1～第8の予備セクタ12a～12hは、それぞれ並列に配置され、各行毎にワード線が共通に接続される。

【0012】デコーダ13は、セクタ12の各ビット線と予備セクタ13の各予備ビット線とに接続され、カラムアドレス情報CAに応じて複数のビット線の内の1つを選択すると共に、選択ビット線のデータを置換情報に応じて予備ビット線のデータに置き換える。即ち、セクタ12内に発生した不良箇所を含むメモリセル列の位置を示す置換情報がデコーダ13に保持され、カラムアドレス情報CAに応じて特定のメモリセル列が選択される過程で、置換情報に一致する位置が指定されると、その位置のメモリセル列を選択せず、予備メモリセル列を選択するように構成される。このデコーダ13は、第1～第8のセクタ11a～11h及び第1～第8の予備セクタ12a～12hに対応して、第1～第8のデコーダ13a～13hとして設けられ、各デコーダ13a～13hの出力が、8ビットのデータD1～D8として出力される。

【0013】このような半導体メモリ装置においては、各セクタ11a～11h内に不良箇所が生じたとしても、その数が予備メモリセル列の数より少なければ、不

良箇所を指定する置換アドレスを各デコーダ13a～13hに設定することで、その不良箇所が救済される。

【0014】図2は、デコーダ12の構成を示す回路図である。ここでは、メモリセルとして、スタティックセルを用いる場合を例示している。

【0015】デコーダ12は、第1のスイッチ21a、21b、第2のスイッチ22a、22b、第3のスイッチ23a、23b、カラム選択回路24、第1の置換制御回路となるヒューズ回路25a、25b及び第2の置換制御回路となるNOR回路26より構成される。

【0016】第1のスイッチ21a、21bは、セクタ11の各メモリセル列を構成するビット線にそれぞれ接続される。スタティックRAMの場合、各メモリセル列毎に2本ずつビット線が配置されるため、これに対応して、例えば、32対のスイッチ21a、21bが32本のメモリセル列に割り当てられる。第2のスイッチ22a、22bは、予備セクタ12の各予備メモリセル列を構成する予備ビット線にそれぞれ接続される。予備メモリセル列についても、メモリセル列と同じスタティックRAMであるため、各予備メモリセル列毎に2本ずつ予備ビット線が配置され、これに対応して、例えば、2対のスイッチ22a、22bが2本の予備メモリセル列に割り当てられる。第3のスイッチ23a、23bは、複数の第1のスイッチに共通に接続されると共に、その出力が第2のスイッチ22a、22bの出力と共にセンスアンプ及びライトアンプを含む周辺回路に接続される。

【0017】カラム選択回路24は、カラムアドレス情報CAに応答して、複数の第1のスイッチ21a、21bの内の1対をオンさせる。例えば、5ビットのカラムアドレス情報をデコードして、32本の出力の内の1つを立ち上げる選択信号S1～S32を生成し、その選択信号S1～S32を32対の第1のスイッチ21a～21bに供給して、特定の1対のみをオンさせるように構成される。

【0018】ヒューズ回路25a、25bは、予備セクタ13の各予備メモリセル列に対応して設けられ、置換情報に応答して、それぞれに対応する第2のスイッチ22a、22bをオンさせる。即ち、各ヒューズ回路25a、25bは、それぞれ置換情報を保持し、その置換情報にカラムアドレス情報CAが一致したときに制御信号R1、R2を立ち上げ、対応する予備メモリセル列の予備ビット線に接続される第2のスイッチ22a、22bをオンさせるように構成される。尚、セクタ11内に不良箇所がない場合には、このヒューズ回路25a、25bは動作せず、第2のスイッチ22a、22bをオフのまま固定する。このヒューズ回路25a、25bにおいて、置換情報は、物理的に切断可能なヒューズ素子あるいは、プログラム可能な不揮発性メモリ素子によって保持される。そして、置換情報とは別に、置換を行うか否かを示す1ビットの置換許可情報も同様に保持される。

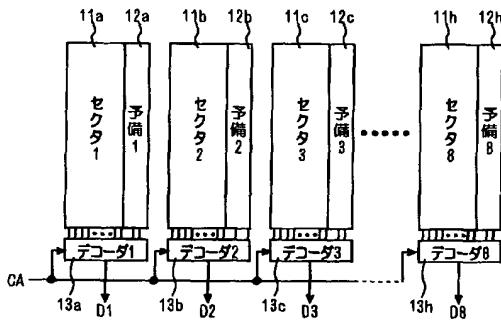
例えば、カラムアドレス情報CAが5ビットで構成される場合、6個のヒューズ素子またはメモリ素子を用いて、5ビットの置換情報と1ビットの置換許可情報とが保持される。

【0019】NOR回路26は、制御信号R1、R2の何れかが立ち上げられて第2のスイッチ22a、22bの何れかがオンしたとき、制御信号R0を立ち下げて第3のスイッチ23a、23bをオフする。即ち、NOR回路26は、2つの制御信号R1、R2を入力に受け、その論理和を制御信号R0として第3のスイッチ23a、23bに供給することで、制御信号R1、R2の何れかが立ち上がったときに第3のスイッチ23a、23bをオフするように構成される。

【0020】従って、セクタ11内に不良箇所が生じた場合、その不良箇所を含むメモリセル列のカラムアドレス情報を置換情報としてヒューズ回路25a、25bの一方に設定し、置換許可情報を置換町に書き換えれば、不良箇所を含むメモリセル列が予備メモリセル列に置き換えられるようになる。

【0021】以上:の実施形態においては、予備メモリセルを2列配置する場合を例示しているが、予備メモリセル列を3列以上配置する場合でも、ヒューズ回路を予備メモリセル列の数に合わせて配置するようすれば、容

[圖 1]



易に対応することができる。

[0022]

【発明の効果】本発明によれば、僅かな回路規模の増加によって、不良箇所の救済率を大幅に向上することができる。特に、人容量化によってメモリセルの数が多くなった場合に有効であり、大容量のメモリ装置の不良率を低下させて製造コストの低減が望める。

### 【図面の簡単な説明】

【図1】本発明の半導体メモリ装置の実施形態を示す平面図である。

【図2】本発明の半導体メモリ装置に用いるデコーダの構成を示す平面図である。

【図3】従来の半導体メモリ装置を示す平面図である。

### 【符号の説明】

1 a ≈ 1 h, 11 a ≈ 11 h セタ

2、12a～12h 予備セクタ

3 a ~ 3 h, 13 a ~ 13 h デコード

#### 4 マルチプレクサ

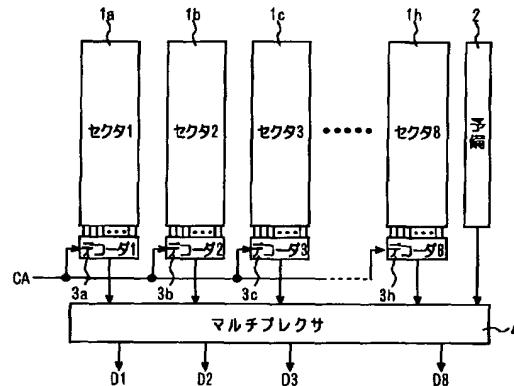
21a、21b、22a、22b、23a、23b イツチ

## 2.4 カラム選択基準

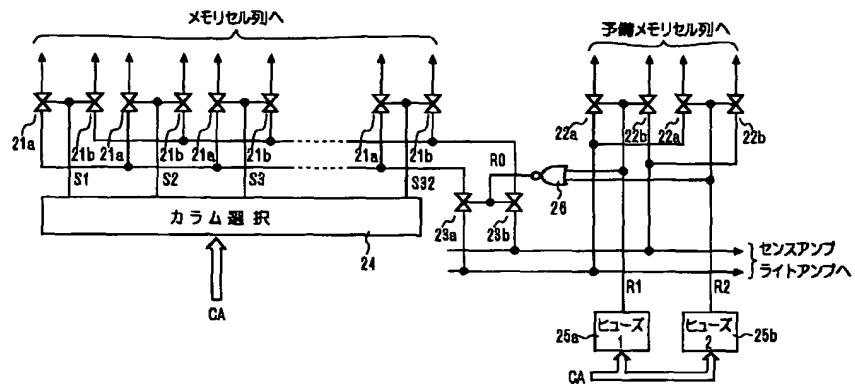
### 2.5a, 2.5b ヒューズ回路

## 2.6 NOR回路

[四三]



【図2】



## フロントページの続き

(72) 発明者 板垣 利宏

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

F ターム(参考) 5B015 JJ32 KA38 KB44 NN09 QQ15

0016

5L106 AA02 CC04 CC07 CC17